

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170973

(43)Date of publication of application : 14.06.2002

(51)Int.Cl.

H01L 31/04
C23C 16/56

(21)Application number : 2000-367648

(71)Applicant : CANON INC

(22)Date of filing : 01.12.2000

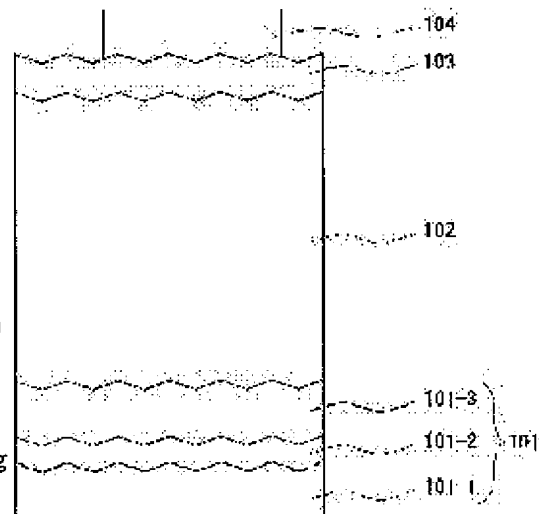
(72)Inventor : KONDO TAKAHARU
YOSHISATO SUNAO
KODA YUZO
SAKAI AKIRA
MATSUDA KOICHI

(54) SEMICONDUCTOR ELEMENT AND METHOD FOR FORMING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently form a semiconductor element where multiple silicon system thin films are laminated.

SOLUTION: The forming method of the semiconductor element has a process for forming a plurality of pin junctions constituted of silicon system materials on a substrate by a high frequency plasma CVD method with the pressure of not more than atmospheric pressure. The forming method has a process for exposing a p-layer or an n-layer exposed to the surface of the pin junction to an atmosphere including oxygen after one pin junction is formed among the pin junctions, and a process for forming the n-layer or the p-layer of the other pin junction adjacent to one pin junction on the p-layer or the n-layer exposed to the atmosphere including oxygen and forming a pn interface.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-170973
(P2002-170973A)

(43) 公開日 平成14年6月14日 (2002.6.14)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|---------------------------|------|---------------|-------------------------|
| H 0 1 L 31/04 | | C 2 3 C 16/56 | 4 K 0 3 0 |
| C 2 3 C 16/56 | | H 0 1 L 31/04 | W 5 F 0 5 1 |
| | | | S |

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21) 出願番号 特願2000-367648(P2000-367648)

(22) 出願日 平成12年12月1日 (2000.12.1)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 近藤 隆治

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 芳里 直

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100088096

弁理士 福森 久夫

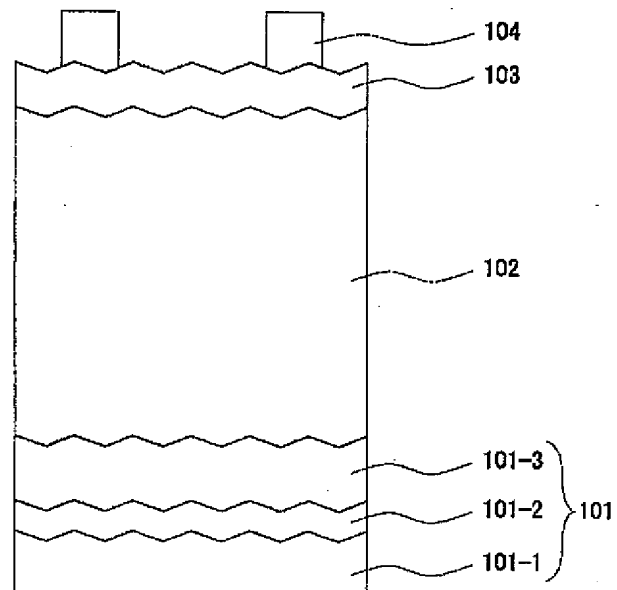
最終頁に続く

(54) 【発明の名称】 半導体素子の形成方法及び半導体素子

(57) 【要約】

【課題】 多数のシリコン系薄膜が積層された構成をもつ半導体素子を、効率よく形成する。

【解決手段】 大気圧以下の圧力での高周波プラズマCVD法によって基板上にシリコン系材料からなる複数のpin接合を形成する工程を有する半導体素子の形成方法であって、前記pin接合のうちのpin接合を形成した後に該pin接合の表面に露出しているp層もしくはn層を酸素含有雰囲気曝す工程と、該酸素含有雰囲気曝されたp層もしくはn層上に前記一のpin接合に隣接する他のpin接合のn層もしくはp層を形成してpn界面を形成する工程と、を有することを特徴とする半導体素子の形成方法。



【特許請求の範囲】

【請求項1】 大気圧以下の圧力での高周波プラズマCVD法によって基板上にシリコン系材料からなる複数のpin接合を形成する工程を有する半導体素子の形成方法であって、前記pin接合のうちのpin接合を形成した後に該pin接合の表面に露出しているp層もしくはn層を酸素含有雰囲気中に曝す工程と、該酸素含有雰囲気に曝されたp層もしくはn層上に前記一のpin接合に隣接する他のpin接合のn層もしくはp層を形成してpn界面を形成する工程と、を有することを特徴とする半導体素子の形成方法。

【請求項2】 前記酸素含有雰囲気が、酸素分圧が1Pa以上の雰囲気であることを特徴とする請求項1に記載の半導体素子の形成方法。

【請求項3】 前記酸素含有雰囲気に曝す工程が、大気暴露を行なうものであることを特徴とする請求項1に記載の半導体素子の形成方法。

【請求項4】 前記酸素含有雰囲気に曝す工程の前後で形成するpin接合中のi層の一方が非晶質相であり、他方が結晶相を含むものであることを特徴とする請求項1に記載の半導体素子の形成方法。

【請求項5】 前記酸素含有雰囲気に曝す工程の後に、加熱、冷却、加熱の工程を少なくとも1回行なった後に、前記他のpin接合のn層もしくはp層の形成を行なうことを特徴とする請求項1に記載の半導体素子の形成方法。

【請求項6】 前記加熱、冷却、加熱の工程を、水素雰囲気中で行なうことを特徴とする請求項5に記載の半導体素子の形成方法。

【請求項7】 前記高周波プラズマCVD法が、ロール・ツー・ロール方式であることを特徴とする請求項1に記載の半導体素子の形成方法。

【請求項8】 前記酸素含有雰囲気に曝す工程の前後で、前記基板に異なった引っ張り応力をかけることを特徴とする請求項7に記載の半導体素子の形成方法。

【請求項9】 前記酸素含有雰囲気に曝す工程の前に前記基板にかけられる引っ張り応力が、前記酸素含有雰囲気に曝す工程の後に前記基板にかけられる引っ張り応力よりも大きいことを特徴とする請求項8に記載の半導体素子の形成方法。

【請求項10】 前記ロール・ツー・ロール方式で基板を搬送していく工程の途中で、引っ張り応力を低下させる過程を含むことを特徴とする請求項7乃至9に記載の半導体素子の形成方法。

【請求項11】 高周波プラズマCVD法によって前記一のpin接合を形成しながらロール・ツー・ロール方式で前記基板を搬送しロールに巻き取る工程と、ロールに巻き取られた状態で該基板を酸素含有雰囲気に曝す工程と、ロール・ツー・ロール方式で該基板をロールから引き出しながら搬送し高周波プラズマCVD法によって

前記他のpin接合を形成する工程と、を有する請求項1に記載の半導体素子の形成方法。

【請求項12】 前記一のpin接合を形成する際に前記基板にかけられる引っ張り応力と前記他のpin接合を形成する際に前記基板にかけられる引っ張り応力が異なることを特徴とする請求項11に記載の半導体素子の形成方法。

【請求項13】 前記一のpin接合を形成する際に前記基板にかけられる引っ張り応力、前記他のpin接合を形成する際に前記基板にかけられる引っ張り応力、の少なくとも一方を、基板を搬送する工程の途中で低下させることを特徴とする請求項11又は12に記載の半導体素子の形成方法。

【請求項14】 請求項1乃至13に記載の半導体素子の形成方法によって形成されたことを特徴とする半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体素子の形成方法及び半導体素子に関するものである。

【0002】

【従来の技術】 高周波プラズマCVD法は、大面積化や低温形成が容易であり、プロセススループットが向上するという利点を有し、シリコン系薄膜の形成方法として有力な手段の一つである。

【0003】 シリコン系薄膜からなる半導体接合を有する半導体素子の例として太陽電池について考えてみると、化石燃料を利用した既存のエネルギーに比べて、シリコン系薄膜を用いた太陽電池は、エネルギー源が無尽蔵であること、発電過程がクリーンであるという利点があるものの、その普及を進めるためには、発電電力あたりの単価をさらに下げることが必要である。そのために、低コスト化を実現する生産技術の確立や、光電変換効率を高めるための技術の確立、さらには安定して所望の特性をもつ半導体素子を形成するための均一性に関する技術の確立や、屋外に設置されることが多いという実使用条件を考慮した耐環境性を高めるための技術の確立は、重要な技術課題となっている。

【0004】 シリコン系薄膜からなる半導体接合を有する半導体素子の生産方法としては、単一の半導体形成容器で所望の導電型の半導体層を順次形成する方法、p層、i層、n層を独立の半導体形成容器で形成し不純物ガスの混入を防ぐことができるバッチ方式と呼ばれる方法などが知られている。

【0005】 不純物の混合を防ぎ、かつさらなる低コスト化を実現する生産方法として、米国特許4,400,409号には、ロール・ツー・ロール(Roll to Roll)方式を採用した、連続プラズマCVD法が開示されている。この方法では、不純物ガスの混入を防ぐべく設けられたガスゲートを介して設けられた複数の

グロー放電領域を通過するように基板を搬送することにより、所望の導電型の半導体層を順次形成することが可能である。ロール・ツー・ロール方式では、基板をロールから巻きだしつつ搬送し他のロールに巻き取るという工程を行っている。

【0006】

【発明が解決しようとする課題】これまでに提案されている高周波プラズマCVD法は、半導体素子の形成方法として優れたものであるが、pin接合が複数含まれている場合や、p層、i層、n層が多層構成になっている場合には、必要となる半導体形成容器の数が増加することになる。ここで、半導体素子の形成工程において、すべての半導体形成容器がガスゲートを介して、もしくは直接連結され、半導体層を連続的に形成する構成とした場合には、一部の半導体形成容器のメンテナンス・点検・修理などが必要となる度に、装置全体の稼働を静止させる必要がある。また、長時間にわたって放電を継続させる形成方法においては、長時間の放電中によって生じる熱や脱ガス量の変化などに起因する特性の時間依存性が生じ、半導体素子の特性にばらつきを生じる問題点が生じる。

【0007】本発明は、多数のシリコン系薄膜が積層された構成をもつ半導体素子を、効率よく形成することができる半導体素子の形成方法、さらには、より優れた均一性と特性をもつ半導体素子の形成方法、および密着性、耐環境性などに優れた半導体素子を提供することを目的としている。

【0008】

【課題を解決するための手段】本発明は、大気圧以下の圧力で高周波プラズマCVD法によって基板上にシリコン系材料からなる複数のpin接合を形成する工程を有する半導体素子の形成方法であって、前記pin接合のうち一のpin接合を形成した後に該pin接合の表面に露出しているp層(p型半導体層)もしくはn層

(n型半導体層)を酸素含有雰囲気中に曝す工程と、該酸素含有雰囲気中に曝されたp層もしくはn層上に前記一のpin接合に隣接する他のpin接合のn層もしくはp層を形成してpn界面を形成する工程と、を有することを特徴とする半導体素子の形成方法を提供する。

【0009】本発明の好適な態様は、あるpin接合のうち最後に形成される層(p層もしくはn層)を酸素含有雰囲気中に曝した後に、隣接するpin接合のうち最初に形成される層(n層もしくはp層：酸素雰囲気中に曝された層と反対の導電型の層)を形成する。

【0010】本発明において、酸素含有雰囲気における酸素分圧は1Pa以上であることが好ましい。また、かかる酸素含有雰囲気として大気を用いてもよい。

【0011】本発明において、前記酸素含有雰囲気中に曝す工程の前後で形成するpin接合中のi層(i型半導体層)の一方が非晶質相であり、他方が結晶相を含むも

のであることが好ましい。かかる態様の好適な例は、非晶質i層を有するpin接合のうち最後に形成される層(p層もしくはn層)を酸素含有雰囲気中に曝した後に、隣接するpin接合(i層が微結晶、多結晶などの結晶性層である、もしくは結晶相を含む)のうち最初に形成される層(n層もしくはp層：酸素雰囲気中に曝された層と反対の導電型の層)を形成するものである。また逆に、微結晶、多結晶などの結晶性のi層、あるいは結晶相を含むi層を有するpin接合のうち最後に形成される層(p層もしくはn層)を酸素含有雰囲気中に曝した後に、隣接するpin接合(i層が非晶質層である)のうち最初に形成される層(n層もしくはp層：酸素雰囲気中に曝された層と反対の導電型の層)を形成するものも好適な例として挙げられる。

【0012】本発明において、前記酸素含有雰囲気中に曝す工程の後に、加熱、冷却、加熱の工程を少なくとも1回行なった後に、前記他のpin接合のn層もしくはp層の形成を行なうことが好ましい。かかる態様の好適な例は、酸素含有雰囲気中に曝された基板及び形成済みの半導体層を加熱し、冷却し、再度加熱するというものである。かかる加熱、冷却の手段としては、基板を半導体層と反対側にヒーターを設けるのが簡便である。ヒーターの温度が低い場合には冷却手段にも成り得る。冷却は自然冷却でもよい。加熱、冷却、加熱の工程は、酸素雰囲気中で行うことが好ましい。

【0013】本発明の好適な態様は、ロール・ルー・ロール方式のプラズマCVD法を用いるものである。その好ましい例としては、高周波プラズマCVD法によって前記一のpin接合を形成しながらロール・ツー・ロール方式で前記基板を搬送しロールに巻き取る工程と、ロールに巻き取られた状態で該基板を酸素含有雰囲気中に曝す工程と、ロール・ツー・ロール方式で該基板をロールから引き出しながら搬送し高周波プラズマCVD法によって前記他のpin接合を形成する工程と、を有するものが挙げられる。ロール・ツー・ロール方式を用いる場合、前記、加熱、冷却、加熱の工程は、温度差を有する空間内(例えば、部分的にヒーターが設けられた空間内)を基板を搬送することによって行うことが好ましい。

【0014】また、本発明においては、前記酸素含有雰囲気中に曝す工程の前後で、前記基板に異なった引っ張り応力をかけることが好ましい。より具体的には、前記酸素含有雰囲気中に曝す工程の前に前記基板にかけられる引っ張り応力が、前記酸素含有雰囲気中に曝す工程の後に前記基板にかけられる引っ張り応力よりも大きいことが好ましい。さらに好適な例としては、前記一のpin接合を形成する際に前記基板にかけられる引っ張り応力と前記他のpin接合を形成する際に前記基板にかけられる引っ張り応力とが異なるものが挙げられる。

【0015】このように引っ張り応力を変化させる具体

的手段としては、ロールに巻き取られた状態で基板を酸素含有雰囲気中に曝し、その前後でのロール・ツー・ロール方式による搬送工程で基板にかけられる引っ張り応力を変化させる手段が挙げられる。

【0016】本発明において、前記ロール・ツー・ロール方式で基板を搬送していく工程の途中で、引っ張り応力を低下させる過程を含むことが好ましい。より具体的には、前記一のpin接合を形成する際に前記基板にかけられる引っ張り応力、前記他のpin接合を形成する際に前記基板にかけられる引っ張り応力、の少なくとも一方を、基板を搬送する工程の途中で低下させる。

【0017】また、本発明は、上述した方法で形成された半導体素子を提供する。

【0018】

【発明の実施の形態】前述した課題を解決するために鋭意研究を重ねた結果本発明者は、本発明の提供する半導体素子の形成方法では、多数のシリコン系薄膜が積層された構成をもつ半導体素子を、効率よく形成することができ、さらには、より優れた均一性と特性をもつ半導体素子を形成することが可能であり、さらには、密着性、耐環境性などに優れた半導体素子を形成することが可能であることを見出した。

【0019】上記の構成にすることにより、以下の作用がある。

【0020】複数のpin接合をもつ半導体素子では、pin接合同士が接する部分にpn界面が形成される。pn界面が形成される部分では、p型、n型半導体層中のドーパントが拡散することによって実効的なドーパント濃度が低下することにより、導電層としての機能が低下する。これを防止し、ドーパントの拡散が起きても導電層として十分な機能を保持させるために、p型半導体層、n型半導体層の少なくとも一方のドーパント濃度を、単独のpin接合で必要とされる濃度よりも高めにする手段が採用されている。これは、実効的なドーパント濃度を保持する点では一定の効果を示すものであるが、一方でi型半導体側へのドーパント原子の拡散を誘発し、半導体素子の特性低下を引き起こす要因となる。ここで前記pn接合の接合界面(p層、n層のうち最初に形成される層の表面)を酸素含有雰囲気に曝すことにより、pn界面に微小な酸素原子層が形成され、この酸素原子層がpn界面でのドーパントの拡散を抑制するため、上記の問題点が抑制される。

【0021】pin接合の形成と酸素含有雰囲気に曝すタイミングの組み合わせとしては、pin接合を2つ有する半導体素子の場合には、pin/酸素含有雰囲気/pinがあり、pin接合を3つ有する半導体素子の場合には、pin/酸素含有雰囲気/pinpin、pinpin/酸素含有雰囲気/pin、pin/酸素含有雰囲気/pin/酸素含有雰囲気pinがあげられる。pin接合が4つ以上有する半導体素子の場合も同様に

考えることができる。(なお、本明細書中でpinと記載した場合、p層、i層、n層の順で形成する場合だけでなく、n層、i層、p層の順で形成する場合も含む。)

【0022】ここで、酸素含有雰囲気としては、酸素分圧が1Pa以上であることが望ましいものである。これにより、pn界面に微小な酸素原子層を均一に形成することができる。さらに、前記酸素含有雰囲気に曝す工程が、大気暴露を行なうものとする、より高速でpn界面に酸素原子層を形成することが可能であり、また簡便な方法であることから好ましいものである。

【0023】酸素含有雰囲気に曝した場合には、半導体層の表面(pn界面)に過剰な酸素原子が、また大気暴露を行なった場合には、半導体層の表面に大気中のガスや水分などが吸着する場合がある。前記の吸着物は、酸素含有雰囲気に曝したあとに半導体層を形成する際に、半導体層を負圧環境下においたり、加熱・冷却・加熱の工程を経ることで効果的に除去することが可能である。ここで、少なくとも最初の加熱は、半導体形成雰囲気とは別の雰囲気下で行なうことが脱離物質が半導体層中に混入しないためにより好ましいものである。具体的には、ある雰囲気下で加熱をして表面の不要物質を脱離させた後、ゲートやガスゲートを介して、別の雰囲気下で搬送する工程と冷却の工程を経たあとで、半導体形成雰囲気内で再度加熱をして半導体層の形成を行なうのが好ましいものである。加熱手段としては、シースヒーターやランプヒーターを用いて間接的に加熱したり、これらを組み込んだヒーターブロックで直接的に接して加熱する方法などがあげれる。冷却方法としては、液体や気体をとおした冷却パイプを介する方法や、冷却ガスを吹き付ける方法などが好ましいものとしてあげられる。また、温度の低いヒーターを用いた冷却や自然冷却、水素などの気体の吹き付けによる冷却を用いることもできる。

【0024】また前記加熱、冷却、加熱の工程を水素雰囲気中で行なうことは、半導体表面が清浄化され、且つ半導体層表面を水素原子で覆うことで半導体層表面をパシベーションすることにより膜質が向上し、さらにpn接合の密着性が向上するので、好ましいものである。

【0025】高周波プラズマCVD法で半導体素子を形成する場合、半導体素子にpin接合が複数含まれている場合や、p層、i層、n層が多層構成になっている場合に、それぞれの半導体層の形成を別々の半導体形成容器で行なう場合には、必要となる半導体形成容器の数が増加することになる。ここで、半導体素子の形成工程において、すべての半導体形成容器が連続的に連結され、半導体層を連続的に形成する構成とした場合には、一部の半導体形成容器のメンテナンス・点検・修理などが必要となる度に、装置全体の稼働を静止させる必要がある。これらの半導体形成容器では、必要となるメンテナンス

の頻度は一般的にそれぞれ異なる。半導体素子を形成する各層のなかでも、膜厚の大きな層を形成する工程では、より大きな成膜速度が求められ、成膜速度が大きな条件になるとともに、半導体形成容器内への膜の付着や、粉の発生量が相対的に大きくなり、その結果、必要となるメンテナンスの頻度も高くなり、装置全体の稼働率に大きな影響を与える。

【0026】ここで半導体素子の例としてpin接合を有する光電変換素子について考えてみると、光吸収層として機能するi型半導体層は、p型半導体層やn型半導体層と比較して大きな膜厚が必要であり、半導体層に占める割合がもっとも大きい部分である。そこで、半導体素子の生産性を上げたり、装置を小型化することなどを目的に、i型半導体層の成膜速度を高めるためのさまざまな方法が検討されている。堆積速度を高めるための成膜条件としては、導入する高周波パワーを増加させたり、原料ガスの流量を増加させたり、基板と高周波導入部の距離を近づけたり、プラズマ空間あたりの高周波パワーを増大するなどの処方が考えられるが、これらは、半導体形成容器内への膜の付着や、粉の発生量の増加を誘発するため、メンテナンスの頻度を高める要因ともなっている。

【0027】一方、光電変換素子の特性を向上させるためのものとして、異なったエネルギーギャップをもつ半導体層を積層させるように複数のpin接合を設け、より広い光エネルギースペクトルを収集することができるいわゆるスタック型が有力な手段の一つとして知られている。光入射側にワイドバンドギャップ材料を用い、ナローバンドギャップ材料と組み合わせることで、光電変換素子全体としてのスペクトル感度を高めることができる。この具体的な構成例としては、 $a-Si/a-SiGe$ 、 $a-SiC/a-Si$ 、 $a-Si/\mu C-Si$ などがあげられる。これらは、3つ以上のpin接合を組み合わせた構造とすることも可能である。

【0028】以上のように、光電変換素子をスタック型の構成としたときには、i型半導体層同士が離間して存在しており、それらのi型半導体層は、一般的に膜厚、組成が異なっているため、メンテナンスの頻度や必要となるメンテナンスにかかる時間も異なってくる。そのため、すべての半導体形成容器が連続的に連結され、半導体層を連続的に形成する構成とした場合には、もっともメンテナンス頻度の高いi型半導体形成容器のメンテナンスに、装置全体の稼働率が律速されてしまう。ここで、離間するi型半導体層を形成する間の工程で、大気暴露するように装置を構成した場合には、メンテナンスをしていない装置で、必要に応じて半導体素子の一部のpin接合の領域を作り溜めしておくことも可能であるため、半導体素子全体の生産性を向上させることが可能になる。また半導体形成装置を複数台準備しておき、メンテナンス頻度の高い半導体層をより多くの半導体形成

装置で形成するように行なうことにより、生産性をより高めることが可能になる。

【0029】また、酸素含有雰囲気暴露（大気暴露の場合も含む）を、隣接するp型半導体層とn型半導体層を形成する間の工程で行なった場合、複数のpin接合からなる半導体素子の一部の領域を、pin接合という形態で抽出することができ、複数のシリコン系薄膜からなるpin接合をもつ半導体素子のなかの一部の領域を、pin接合素子として特性を評価することが可能になる。これにより、生産の過程の大気暴露の際に、半導体素子の部分的な領域を抽出して特性チェックを行なうことが可能になる。この特性チェックを、生産工程の中に組み入れることで、よりきめ細かなチェックが可能になる。中間チェックで不良が出た場合にすぐに原因究明に取りかかれば、不良品の発生を抑制することが可能であり、また不良の原因を絞り込むことができるため、原因の特定をより速やかに行なうことが可能になる。

【0030】また、長時間にわたって成膜を連続的に行なった場合、半導体形成容器内のプラズマを囲んでいる領域が、長時間のプラズマ照射によって加熱され、プラズマ雰囲気が時間の経過とともに変化したり、装置からのプラズマ雰囲気中への脱ガスの量の変動するなどの影響が現れると、形成される半導体素子の特性に時間依存性を生じることになり、半導体素子の均一性を損なう要因となる。

【0031】ここで、本発明のように、半導体層形成の工程中に酸素含有雰囲気暴露の工程を含む場合には、酸素含有雰囲気暴露の前後の工程をそれぞれ第1の半導体層（pin接合）形成工程、第2の半導体層（pin接合）形成工程とした場合、第1の半導体層形成工程の初期段階で作成した領域を、第2の半導体層形成工程の後期段階で作成し、第1の半導体層形成工程の後期段階で作成した領域を、第2の半導体層形成工程の初期段階で作成するように行なうことで、半導体素子の特性の時間依存性が相殺され、形成される半導体素子の均一性が向上する。

【0032】半導体素子の形成をロール・ツー・ロール法で行なった場合に、基板をロールに巻き取った状態で酸素雰囲気暴露を行う場合には、第1の半導体形成工程の初期の部分が、第1の半導体形成工程終了後に基板の巻き取りを行なう際に、巻き取り部の内側に位置するように巻き取りが行なわれ、第1の半導体形成工程の後期の部分が、巻き取り部においては外側に位置するように巻き取りが行なわれる。このため、酸素雰囲気暴露後に基板をロールから引き出しながら第2の半導体形成する場合には、第2の半導体形成工程では、第1の半導体形成工程で後期の部分が、必然的に第2の形成工程では初期で行なわれることになるので、この場合には上記の作用が自動的に行なわれることになる。そのため、煩雑な工程管理をすることなく、上記の構成をとることが可

能になるので好ましい。また、基板を巻き取る際に、保護材を同時に挟み込むように巻き取ることは、基板上の傷の発生を防止することができるために好ましいものである。保護材として特に合紙などの繊維質状のものを用いた場合には、基板が保護材に密着されることによって、材料中及び表面に酸素が含まれているために、より均一な酸素原子層の形成が可能であり、好ましい。

【0033】また、前に述べたように、複数のpin接合をもつ半導体素子では、i型半導体層同士が離間して複数存在しており、それらのi型半導体層は、一般的に膜厚、組成や結晶性などの構造が異なっており、半導体層形成時の条件、特に形成温度に違いがある場合が多い。半導体素子をロール・ツー・ロール法で形成する場合には、一般に図2に示すような基板送り出し容器、半導体形成用真空容器、基板巻き取り容器を備えた堆積膜形成装置を用い、基板に引っ張り応力を加えて半導体層の形成を行なう。ここで、基板に加える引っ張り応力は、スムーズな基板搬送を可能とし、熱による基板に加わる膨張と収縮による整合性がとれ、堆積する膜と基板の良好な密着性を確保するという条件下で最適化される。複数のpin接合をもつ半導体素子で、i型半導体層の形態が異なるために最適引っ張り応力が異なった場合には、本発明の好適な態様のように、隣接するpin接合の間に存在するpn界面の少なくとも一箇所で、基板をロールに巻き取った状態で酸素雰囲気暴露を行なうと、それぞれのpin接合を独立に形成することが可能になるために、引っ張り応力もそれぞれ制御することが可能になるので好ましい。半導体形成工程における引っ張り応力の好ましい範囲としては、 6.0 N/mm^2 から 20 N/mm^2 が挙げられる。また、後工程の引っ張り応力の方を大きくした場合には、引っ張り応力を加えたときに基板の巻きずれが発生して、その後の基板の取扱に不具合が生じたり、巻き締めによる傷が発生させてしまう場合があるので、酸素雰囲気暴露前の引っ張り応力のほうが前記酸素雰囲気暴露後の引っ張り応力よりも大きいことが好ましい。

【0034】また、基板の搬送方向の長さ（ロールに巻き取られる長さ）が長い場合には、巻きずれを防止するために、各半導体形成工程内で引っ張り応力を連続的に、もしくは段階的に小さくすることが好ましいものである。引っ張り応力の大きさとしては、開始時の引っ張り応力に対して終了時の引っ張り応力が、50%～90%の範囲にあることが好ましい。

【0035】次に本発明の半導体素子として光起電力素子を例にあげ、その構成要素について説明する。

【0036】図1は本発明の光起電力素子の一例を示す模式的な断面図である。図中101は基板、102は半導体層、103は第二の透明導電層、104は集電電極である。また、101-1は基体、101-2は金属層、101-3は第一の透明導電層である。これらは基

板101の構成部材である。

【0037】（基体）基体101-1としては、金属、樹脂、ガラス、セラミックス、半導体バルク等からなる板状部材やシート状部材が好適に用いられる。その表面には微細な凸凹を有していてもよい。透明基体を用いて基体側から光が入射する構成としてもよい。また、基体を長尺の形状とすることによってロール・ツー・ロール法を用いた連続成膜を行うことができる。特にステンレス、ポリイミド等の可撓性を有する材料は基体101-1の材料として好適である。

【0038】（金属層）金属層101-2は電極としての役割と、基体101-1にまで到達した光を反射して半導体層102で再利用させる反射層としての役割とを有する。その材料としては、Al、Cu、Ag、Au、CuMg、AlSi等を好適に用いることができる。その形成方法としては、蒸着、スパッタ、電析、印刷等の方法が好適である。金属層101-2は、その表面に凸凹を有することが好ましい。それにより反射光の半導体層102内での光路長を伸ばし、短絡電流を増大させることができる。基体101-1が導電性を有する場合には金属層101-2は形成しなくてもよい。

【0039】（第一の透明導電層）第一の透明導電層101-3は、入射光及び反射光の乱反射を増大し、半導体層102内での光路長を伸ばす役割を有する。また、金属層101-2の元素が半導体層102へ拡散あるいはマイグレーションを起こし、光起電力素子がシャントすることを防止する役割を有する。さらに、適度な抵抗をもつことにより、半導体層のピンホール等の欠陥によるショートを防止する役割を有する。さらに、第一の透明導電層101-3は、金属層101-2と同様にその表面に凸凹を有していることが望ましい。第一の透明導電層101-3は、ZnO、ITO等の導電性酸化物からなることが好ましく、蒸着、スパッタ、CVD、電析等の方法を用いて形成されることが好ましい。これらの導電性酸化物に導電率を変化させる物質を添加してもよい。

【0040】また、酸化亜鉛層の形成方法としては、スパッタ、電析等の方法、あるいはこれらの方法を組み合わせることで形成されることが好ましい。

【0041】スパッタ法によって酸化亜鉛膜を形成する条件は、方法やガスの種類と流量、内圧、投入電力、成膜速度、基板温度等が大きく影響を及ぼす。例えばDCマグネトロンスパッタ法で、酸化亜鉛ターゲットを用いて酸化亜鉛膜を形成する場合には、ガスの種類としてはAr、Ne、Kr、Xe、Hg、O₂などがあげられ、流量は、装置の大きさと排気速度によって異なるが、例えば成膜空間の容積が20リットルの場合、1sccmから100sccmが望ましい。また成膜時の内圧は $1 \times 10^{-4}\text{ Torr}$ から 0.1 Torr が望ましい。投入電力は、ターゲットの大きさにもよるが、直径15cm

の場合、10Wから100KWが望ましい。また基板温度は、成膜速度によって好適な範囲が異なるが、 $1\mu\text{m}/\text{h}$ で成膜する場合は、 70°C から 450°C であることが望ましい。

【0042】また電析法によって酸化亜鉛膜を形成する条件は、耐腐食性容器内に、硝酸イオン、亜鉛イオンを含んだ水溶液を用いるのが好ましい。硝酸イオン、亜鉛イオンの濃度は、 $0.001\text{mol}/\text{l}$ から $1.0\text{mol}/\text{l}$ の範囲にあるのが望ましく、 $0.01\text{mol}/\text{l}$ から $0.5\text{mol}/\text{l}$ の範囲にあるのがより望ましく、 $0.1\text{mol}/\text{l}$ から $0.25\text{mol}/\text{l}$ の範囲にあるのがさらに望ましい。硝酸イオン、亜鉛イオンの供給源としては特に限定するものではなく、両方のイオンの供給源である硝酸亜鉛でもよいし、硝酸イオンの供給源である硝酸アンモニウムなどの水溶性の硝酸塩と、亜鉛イオンの供給源である硫酸亜鉛などの亜鉛塩の混合物であってもよい。さらに、これらの水溶液に、異常成長を抑制したり密着性を向上させるために、炭水化物を加えることも好ましいものである。炭水化物の種類は特に限定されるものではないが、グルコース（ブドウ糖）、フルクトース（果糖）などの単糖類、マルトース（麦芽糖）、サッカロース（ショ糖）などの二糖類、デキストリン、デンプンなどの多糖類などや、これらを混合したものをを用いることができる。水溶液中の炭水化物の量は、炭水化物の種類にもよるが概ね、 $0.001\text{g}/\text{l}$ から $300\text{g}/\text{l}$ の範囲にあるのが望ましく、 $0.005\text{g}/\text{l}$ から $100\text{g}/\text{l}$ の範囲にあるのがより望ましく、 $0.01\text{g}/\text{l}$ から $60\text{g}/\text{l}$ の範囲にあることがさらに望ましい。電析法により酸化亜鉛膜を堆積する場合には、前記の水溶液中に酸化亜鉛膜を堆積する基体を陰極にし、亜鉛、白金、炭素などを陽極とするのが好ましい。このとき負荷抵抗を通して流れる電流密度は、 $10\text{mA}/\text{dm}^2$ から $10\text{A}/\text{dm}^2$ であることが好ましい。

【0043】（基板）以上の方法により、基板101-1上に必要に応じて、金属層101-2、第一の透明導電層101-3を積層して基板101を形成する。また、素子の集積化を容易にするために、基板101に中間層として絶縁層を設けてもよい。

【0044】（半導体層）本発明のシリコン系薄膜がその一部を構成する半導体層102の主たる材料としてはSiが用いられる。Siに加えて、SiとC又はGeとの合金を用いても構わない。半導体層をp型半導体層とするにはIII族元素、n型半導体層とするにはV族元素を含有する。p型層及びn型層の電気特性としては、活性化エネルギーが 0.2eV 以下のものが好ましく、 0.1eV 以下のものが最適である。また比抵抗としては $100\Omega\text{cm}$ 以下が好ましく、 $1\Omega\text{cm}$ 以下が最適である。スタックセル場合は、光入射側に近いpin接合のi型半導体層はバンドギャップが広く、遠いpin接合になるにしたがいバンドギャップが狭くなるのが

好ましい。光入射側のドーパ層（p型層もしくはn型層）は光吸収の少ない結晶性の半導体か、又はバンドギャップの広い半導体が適している。

【0045】本発明の構成要素である半導体層102についてさらに説明を加えると、図3は本発明の光起電力素子の一例として、二組のpin接合をもつ半導体層102を示す模式的な断面図である。図中102-1、102-4は第一の導電型を示す半導体層であり、i型半導体層102-2、102-5、第二の導電型を示す半導体層102-3、102-6である。

【0046】pin接合を2組積層したスタックセルのi型シリコン系半導体層の組み合わせとしては、光入射側から（アモルファスシリコン半導体層、アモルファスシリコン半導体層）、（アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層）、（微結晶を含んだシリコン半導体層、微結晶を含んだシリコン半導体層）となるものがあげられる。また、pin接合を3組積層した光起電力素子の例としてはi型シリコン系半導体層の組み合わせとして、光入射側から（アモルファスシリコン半導体層、アモルファスシリコン半導体層、アモルファスシリコン半導体層）、（アモルファスシリコン半導体層、アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層）、（アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層、微結晶を含んだシリコン半導体層）、（アモルファスシリコン半導体層、微結晶を含んだシリコン半導体層、アモルファスシリコンゲルマニウム半導体層）、（微結晶を含んだシリコン半導体層、微結晶を含んだシリコン半導体層、微結晶を含んだシリコン半導体層）となるものがあげられる。i型半導体層としては光（ 630nm ）の吸収係数（ α ）が 5000cm^{-1} 以上、ソーラーシミュレーター（AM1.5、 $100\text{mW}/\text{cm}^2$ ）による擬似太陽光照射の光伝導度（ σ_p ）が $10\times 10^{-5}\text{S}/\text{cm}$ 以上、暗伝導度（ σ_d ）が $10\times 10^{-8}\text{S}/\text{cm}$ 以下、コンスタントフォトリレントメソッド（CPM）によるアーバックエナジーが 55meV 以下であるのが好ましい。i型半導体層としては、わずかにp型、n型になっているものでも使用することができる。またi型半導体層にシリコンゲルマニウム半導体層や、微結晶を含んだシリコン半導体層を用いた場合には、界面準位低減や開放電圧を高める目的で、p/i界面、n/i界面の少なくともどちらか一方に、アモルファスシリコンi型半導体層を挿入した構成をとってもよい。

【0047】（半導体層の形成方法）本発明のシリコン系薄膜及び半導体層102を形成するには、高周波プラズマCVD法が適している。以下、高周波プラズマCVD法によって半導体層102を形成する手順の好適な例を示す。

【0048】減圧状態にできる半導体形成用真空容器内を所定の堆積圧力に減圧する。

【0049】堆積室内に原料ガス、希釈ガス等の材料ガスを導入し、堆積室内を真空ポンプによって排気しつつ、堆積室内を所定の堆積圧力に設定する。

【0050】基板101をヒーターによって所定の温度に設定する。

【0051】高周波電源によって発振された高周波を前記堆積室に導入する。前記堆積室への導入方法は、高周波がマイクロ波の場合には導波管によって導き石英、アルミナ、窒化アルミニウムなどの誘電体窓を介して堆積室内に導入したり、高周波がVHFやRFの場合には同軸ケーブルによって導き、金属電極を介して堆積室内に導入したりする方法がある。

【0052】堆積室内にプラズマを生起させて原料ガスを分解し、堆積室内に配置された基板101上に堆積膜を形成する。この手順を必要に応じて複数回繰り返して半導体層102を形成する。

【0053】半導体層102の形成条件としては、堆積室内の基板温度は100～450℃、圧力は0.067 Pa (0.5 Torr)～1.5×10⁴ Pa (113 Torr)、高周波パワー密度は0.001～2W/cm²が好適な条件としてあげられる。また、必要に応じて高周波導入部にチョークコイルを介して直流電源を接続し、高周波に直流成分を重畳させる方法などをとるのも好ましいものである。

【0054】本発明の半導体層102の形成に適した原料ガスとしては、SiF₄、SiH₂F₂、SiH₃F、Si₂F₆などのフッ素化シリコン、SiH₄、Si₂H₆等の水素化シリコン化合物、合金系にする場合にはさらに、GeH₄やCH₄などのようにGeやCを含有したガス化しうる化合物を水素ガスガスを希釈して堆積室内に導入することが望ましい。さらにHeなどの不活性ガスを添加してもよい。半導体層をp型層とするためのドーパントガスとしてはB₂H₆、BF₃等が用いられる。また、半導体層をn型層とするためのドーパントガスとしては、PH₃、PF₃等が用いられる。結晶相の薄膜や、SiC等の光吸収が少ないバンドギャップの広い層を堆積する場合には、原料ガスに対する希釈ガスの割合を増やし、比較的高いパワー密度の高周波を導入するのが好ましい。

【0055】大面積で半導体層を形成するために、真空容器内への原料ガスの導入方法として、高周波導入部に複数の孔を設けて、ここを通してプラズマ空間へシャワー状に原料ガスを導入する方法や、複数の孔を設けたガス導入管をプラズマ空間内に配設する方法などは、均質なプラズマを形成することができるために、好ましいものである。

【0056】(第二の透明導電層) 第二の透明導電層103は、光入射側の電極であるとともに、その膜厚を適当に設定することにより反射防止膜の役割をかねることができる。第二の透明導電層103は、半導体層102

の吸収可能な波長領域において高い透過率を有することと、抵抗率が低いことが要求される。好ましくは550 nmにおける透過率が80%以上、より好ましくは85%以上であることが望ましい。抵抗率は5×10⁻³Ωcm以下、より好ましくは1×10⁻³Ωcm以下であることが好ましい。第二の透明導電層103の材料としては、ITO、ZnO、In₂O₃等を好適に用いることができる。その形成方法としては、蒸着、CVD、スプレー、スピノオン、浸漬などの方法が好適である。これらの材料に導電率を変化させる物質を添加してもよい。

【0057】(集電電極) 集電電極104は集電効率を向上するために透明電極103上に設けられる。その形成方法として、マスクを用いてスパッタによって電極パターンの金属を形成する方法や、導電性ペーストあるいは半田ペーストを印刷する方法、金属線を導電性ペーストで固着する方法などが好適である。

【0058】なお、必要に応じて光起電力素子の両面に保護層を形成することがある。同時に光起電力素子の裏面(光入射側と反射側)などに銅板等の補教材を併用してもよい。

【0059】

【実施例】以下の実施例では、半導体素子として太陽電池を例に挙げて本発明を具体的に示すが、これらの実施例は本発明の内容を何ら限定するものではない。

【0060】[実施例1] 図2に示した堆積膜形成装置201を用い、以下の手順で図5に示した光起電力素子を形成した。図5は本発明のシリコン系薄膜を有する光起電力素子の一例を示す模式的な断面図である。図中、図1と同様の部材には同じ符号を付して説明を省略する。この光起電力素子の半導体層は、アモルファスn型半導体層102-1Aと微結晶i型半導体層102-2Aと微結晶p型半導体層102-3A、アモルファスn型半導体層102-4Aとアモルファスi型半導体層102-5Aと微結晶p型半導体層102-6Aとからなっている。すなわち、この光起電力素子はいわゆるpinpin型ダブルセル光起電力素子である。

【0061】図2は、本発明のシリコン系薄膜及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図である。図2に示す堆積膜形成装置201は、基板送り出し容器202、半導体形成用真空容器211～213、基板巻き取り容器203が、ガスゲート221～224を介して結合することによって構成されている。この堆積膜形成装置201には、各容器及び各ガスゲートを貫いて帯状の導電性基板204がセットされる。帯状の導電性基板204は、基板送り出し容器202に設置されたボビンから巻き出され、基板巻き取り容器203で別のボビンに巻き取られる。

【0062】半導体形成用真空容器211～213は、それぞれプラズマ生起領域を形成する堆積室を有している。概堆積室は、プラズマの生起している放電空間を、

前記導電性基板と前記高周波導入部で上下を限定し、高周波導入部を取り囲むように設置された放電板で横方向を限定するように構成されている。

【0063】該堆積室内の平板状の高周波導入部241～243には、高周波電源251～253から高周波電力を印加することによってグロー放電を生起させ、それによって原料ガスを分解し導電性基板204上に半導体層を堆積させる。高周波導入部241～243は、導電性基板204と対向しており、不図示の高さ調整機構が具備されている。前記高さ調整機構により、前記導電性基板と高周波導入部との間の距離を変えることができ、同時に放電空間の体積を変えることができる。また、各半導体形成用真空容器211～213には、原料ガスや希釈ガスを導入するためのガス導入管231～233が接続されている。

【0064】また、各半導体形成用真空容器には、各堆積室内での導電性基板204と放電空間との接触面積を調整するための、不図示の成膜領域調整板が設けられている。

【0065】まず、ステンレス（SUS430BA）からなる帯状の基体（幅50cm、長さ1500m、厚さ0.125mm）を十分に脱脂、洗浄し、不図示の連続スパッタリング装置に装着し、Ag電極をターゲットとして、厚さ100nmのAg薄膜をスパッタ蒸着させた。さらにZnOターゲットを用いて、厚さ1.2μmのZnO薄膜をAg薄膜の上にスパッタ蒸着し、帯状の導電性基板204を形成した。

【0066】次に基板送り出し容器202に、導電性基板204を巻いたボビンを装着し、導電性基板204を搬入側のガスゲート、半導体形成用真空容器211、212、213、搬出側のガスゲートを介し、基板巻き取り容器203まで通し、帯状の導電性基板204がたるまないように13N/mm²で引っ張り応力を加えた。そして、基板送り出し容器202、半導体形成用真空容器211、212、213、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 6.7×10^{-4} Pa (5×10^{-6} Torr) 以下まで十分に真空排気した。

【0067】真空排気系を作動させつつ、半導体形成用真空容器211、212、213へガス導入管231、232、233から原料ガス及び希釈ガスを供給した。ここで半導体形成用真空容器212内の放電室は、長手方向の長さが1m、横幅は50cmのものをを用いた。同時に不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500sccmのH₂ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器211、212、213内の圧力を所定の圧力に調整した。形成条件は表1に示す通りである。

【0068】半導体形成用真空容器211、212、2

13内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。

【0069】次に、半導体形成用真空容器211、212、213内の高周波導入部241、242、243に高周波電源251、252、253より高周波を導入し、半導体形成用真空容器211、212、213内の堆積室内にグロー放電を生起し、導電性基板204上に、アモルファスn型半導体層（膜厚30nm）、微結晶i型半導体層（膜厚2.0μm）、微結晶p型半導体層（膜厚10nm）を形成しボトムセルのpin接合を形成した。

【0070】ここで、半導体形成用真空容器211には周波数13.56MHz、パワー密度5mW/cm²の高周波電力をA1製の金属電極からなる高周波導入部241から、半導体形成用真空容器212には、周波数60MHzの高周波を、パワー密度が400mW/cm²になるように調整しながらA1製の金属電極からなる高周波導入部242から高周波を導入し、半導体形成用真空容器213には周波数13.56MHz、パワー密度30mW/cm²の高周波電力をA1製の金属電極からなる高周波導入部243から導入した。

【0071】ボトムセルのpin接合の形成が終了したら、基板巻き取り容器203をリークして、導電性基板204を取り出して大気雰囲気中に暴露した。このときの大気暴露条件（温度、湿度、時間）は、25℃、30%、20分とした。

【0072】引き続き、トップセルのpin接合の形成を行なった。基板送り出し容器202に、導電性基板204を巻いたボビンを装着し、導電性基板204を搬入側のガスゲート、半導体形成用真空容器211、212、213、搬出側のガスゲートを介し、基板巻き取り容器203まで通し、帯状の導電性基板204がたるまないように13N/mm²で引っ張り応力を加えた。そして、基板送り出し容器202、半導体形成用真空容器211、212、213、基板巻き取り容器203を不図示の真空ポンプからなる真空排気系により、 6.7×10^{-4} Pa (5×10^{-6} Torr) 以下まで十分に真空排気した。

【0073】なお、トップセルの形成は、ボトムセルの形成工程の後半で行なった部分が初期の形成領域となるように行なった。

【0074】真空排気系を作動させつつ、半導体形成用真空容器211、212、213へガス導入管231、232、233から原料ガス及び希釈ガスを供給した。同時に不図示の各ゲートガス供給管から、各ガスゲートにゲートガスとして500sccmのH₂ガスを供給した。この状態で真空排気系の排気能力を調整して、半導体形成用真空容器211、212、213内の圧力を所定の圧力に調整した。形成条件は表2に示す通りであ

る。

【0075】半導体形成用真空容器211、212、213内の圧力が安定したところで、基板送り出し容器202から基板巻き取り容器203の方向に、導電性基板204の移動を開始した。

【0076】次に、半導体形成用真空容器211、212、213内の高周波導入部241、242、243に高周波電源251、252、253より高周波を導入し、半導体形成用真空容器211、212、213内の堆積室内にグロー放電を生起し、導電性基板204上に、アモルファスn型半導体層（膜厚30nm）、アモルファスi型半導体層（膜厚30nm）、微結晶p型半導体層（膜厚10nm）を形成しトップセルのpin接合を形成した。

【0077】ここで、半導体形成用真空容器211には周波数13.56MHz、パワー密度5mW/cm²の高周波電力をA1製の金属電極からなる高周波導入部241から、半導体形成用真空容器212には、周波数60MHzの高周波を、パワー密度が100mW/cm²になるように調整しながらA1製の金属電極からなる高周波導入部242から高周波を導入し、半導体形成用真空容器213には周波数13.56MHz、パワー密度30mW/cm²の高周波電力をA1製の金属電極からなる高周波導入部243から導入した。

【0078】次に不図示の連続モジュール化装置を用いて、形成した帯状の光起電力素子を36cm×22cmの太陽電池モジュールに加工した（実施例1）。

【0079】次に、図4に示した堆積膜形成装置201-Aを用い、ボトムセルを形成したあとに大気暴露しなかった以外は、実施例1-1と同様の処方を用いて太陽電池モジュールを作成した（比較例1）。

【0080】以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。その結果を表3に示す。

【0081】表3より、実施例1の太陽電池モジュールは、比較例1の太陽電池と比較して、相対的に光電変換効率が高く、帯状の導電性基板にわたる光電変換効率の均一性にも優れていた。以上のことから、本発明の半導体素子を含む太陽電池は優れた特性をもつことがわかる。

【0082】[実施例2] 図2及び図6に示した堆積膜形成装置201及び201-Bを用い、図5に示した光起電力素子を形成した。

【0083】トップセルを堆積膜形成装置201-Bで行なった以外は、各半導体層を形成するときの条件は、実施例1と同様の方法で行なって太陽電池モジュールを作成した（実施例2）。ここで、堆積膜形成装置201-Bの半導体形成用真空容器211-Aでは、アモルファスn型半導体層102-4Aを形成する前に、ランプ

ヒーターにより300℃に加熱し、冷却水を通した冷却パイプにより150℃に冷却し、再度300℃に加熱した。

【0084】以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。また基盤目テープ法（切り傷の隙間間隔1mm、ます目の数100）を用いて太陽電池モジュールの密着性を調べた。これらの結果を表4に示す。

【0085】表4より、実施例2の太陽電池モジュールは、実施例1よりも光電変換効率が優れていた。はがれ試験では実施例1、実施例2の太陽電池モジュールとも優れていたが、実施例2の太陽電池モジュールのほうがよりすぐれていた。以上のことから本発明の半導体素子を含む太陽電池モジュールは、優れた特長を持つことがわかる。

【0086】[実施例3] 図2に示した堆積膜形成装置201を用い、図5に示した光起電力素子を形成した。

【0087】トップセルを形成時に基板に加えた引っ張り応力を10N/mm²にした以外は実施例1と同様の方法で行なって、太陽電池モジュールを作成した（実施例3）。

【0088】以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM1.5、100mW/cm²）を用いて測定した。またあらかじめ初期光電変換効率を測定しておいた太陽電池モジュールを、温度85℃、湿度85%の暗所に設置し30分保持、その後70分かけて温度-20℃まで下げ30分保持、再び70分かけて温度85℃湿度85%まで戻す、このサイクルを100回繰り返した後に再度光電変換効率を測定し、温湿度試験による光電変換効率の変化を調べた。これらの結果を表5に示す。

【0089】表5より、実施例3の太陽電池モジュールは、実施例1よりも光電変換効率が優れていた。温湿度試験では実施例1、実施例3の太陽電池モジュールとも優れていたが、実施例3の太陽電池モジュールのほうがよりすぐれていた。以上のことから本発明の半導体素子を含む太陽電池モジュールは、優れた特長を持つことがわかる。

【0090】[実施例4] 図2に示した堆積膜形成装置201を用い、図5に示した光起電力素子を形成した。

【0091】ボトムセルを形成時に基板に加えた引っ張り応力を、成膜開始時を13N/mm²とし、成膜の過程で徐々に低下させ、成膜終了時に11N/mm²とし、トップセルを形成時に基板に加えた引っ張り応力を、成膜開始時に10N/mm²とし、成膜終了時に8.0N/mm²にした以外は実施例3と同様の方法で行なって、太陽電池モジュールを作成した（実施例4）。

【0092】実施例4の太陽電池モジュールは、実施例

3と同様に光電変換効率と温湿度試験の結果が優れていた。さらに実施例4では、基板巻き取り容器203でボビンに巻き取られた際の巻きずれが小さかった。以上のことから本発明の半導体素子を含む太陽電池モジュールは、優れた特長を持つことがわかる。

【0093】[実施例5] 図7に示した堆積膜形成装置201-Cを用い、図5に示した光起電力素子を形成した。堆積膜形成装置201-Cは、ボトムセルとトップセルを形成する間に、酸素雰囲気形成用真空容器217が配置されたものであり、それ以外は堆積膜形成装置201-Aと同等のものである。酸素雰囲気形成用真空容器217には、ガス導入管237から酸素ガスを含むガスを導入することができるようになっており、排気系の排気能力を調整することで、酸素雰囲気形成用真空容器217内の酸素分圧を調整することができる。またガスゲート224、228によって、酸素雰囲気形成用真空容器217内の酸素は、半導体形成用真空容器へ拡散することを防いでいる。

【0094】酸素雰囲気形成用真空容器217内の酸素分圧を変化させながら、酸素雰囲気中での基板の滞留時

間は5分とし、他の条件は比較例1と同様な条件で行い、太陽電池モジュールを作成した。

【0095】以上のようにして作成した太陽電池モジュールの光電変換効率をソーラーシミュレーター（AM 1.5、100mW/cm²）を用いて測定した。その結果を表6に示す。

【0096】表6より、ボトムセルを作成した後に、1Pa以上の酸素分圧の雰囲気下を経由した太陽電池モジュールは、光電変換効率が高かった。以上のことより、本発明の半導体素子を含む太陽電池は優れた特性をもつことがわかる。

【0097】

【発明の効果】本発明により、多数のシリコン系薄膜が積層された構成をもつ半導体素子を、効率よく形成することができ、さらには、より優れた均一性と特性をもつ半導体素子を形成することが可能であり、さらには、密着性、耐環境性などに優れた半導体素子を形成することができる。

【0098】

【表1】

| | | |
|----------|------|--|
| 211の形成条件 | 原料ガス | SiH ₄ :20cm ³ /min(normal) H ₂ :100cm ³ /min(normal) PH ₃ (H ₂ で2%に希釈):30cm ³ /min(normal) |
| | 基板温度 | 800℃ |
| | 圧力 | 183Pa(1.0Torr) |
| 212の形成条件 | 原料ガス | SiH ₄ :200cm ³ /min(normal) SiF ₄ :500cm ³ /min(normal) H ₂ :2000cm ³ /min(normal) |
| | 基板温度 | 850℃ |
| | 圧力 | 800Pa(2.25Torr) |
| 213の形成条件 | 原料ガス | SiH ₄ :10cm ³ /min(normal) H ₂ :800cm ³ /min(normal) BF ₃ (H ₂ で2%に希釈):100cm ³ /min(normal) |
| | 基板温度 | 200℃ |
| | 圧力 | 160Pa(1.2Torr) |

【0099】

【表2】

| | | |
|----------|------|--|
| 211の形成条件 | 原料ガス | SiH ₄ :20cm ³ /min(normal) H ₂ :100cm ³ /min(normal) PH ₃ (H ₂ で2%に希釈):50cm ³ /min(normal) |
| | 基板温度 | 800℃ |
| | 圧力 | 133Pa(1.0Torr) |
| 212の形成条件 | 原料ガス | SiH ₄ :300cm ³ /min(normal) H ₂ :4000cm ³ /min(normal) |
| | 基板温度 | 800℃ |
| | 圧力 | 1800Pa(11.3Torr) |
| 213の形成条件 | 原料ガス | SiH ₄ :10cm ³ /min(normal) H ₂ :800cm ³ /min(normal) BF ₃ (H ₂ で2%に希釈):100cm ³ /min(normal) |
| | 基板温度 | 200℃ |
| | 圧力 | 160Pa(1.2Torr) |

【0100】

【表3】

| | 基板位置 (cm) | 光電変換効率 |
|------|--------------|--------|
| 実施例1 | 0 | 1 |
| 実施例1 | 500 | 1.01 |
| 実施例1 | 1000 | 0.99 |
| 実施例1 | 1500 | 1.02 |
| 比較例1 | 0 | 0.90 |
| 比較例1 | 500 | 0.92 |
| 比較例1 | 1000 | 0.96 |
| 比較例1 | 1500 | 0.98 |

基板位置は、帯状基板の、ボトムのセルを作り始めた位

置を0mとし、作り終わりの位置を1500mとしたもの

【0101】

【表4】

| | 基板位置 (m) | 光電変換効率 | はがれ試験 |
|------|-------------|--------|-------|
| 実施例1 | 0 | 1 | ○ |
| 実施例1 | 500 | 1.01 | ○ |
| 実施例1 | 1000 | 0.99 | ○ |
| 実施例1 | 1500 | 1.02 | ○ |
| 実施例2 | 0 | 1.04 | ◎ |
| 実施例2 | 500 | 1.04 | ◎ |
| 実施例2 | 1000 | 1.05 | ◎ |
| 実施例2 | 1500 | 1.05 | ◎ |

基板位置は、帯状基板の、ボトムのセルを作り始めた位置を0mとし、作り終わりの位置を1500mとしたものはがれ試験は、剥れたます目の数が◎0、○1～2、△3～10、×10～100を意味する

| 酸素分圧 | 比較例1の0m位置 (製造装置内圧力) | 0.5Pa | 1.0Pa | 1.5Pa |
|--------|------------------------|-------|-------|-------|
| 光電変換効率 | 1 | 0.99 | 1.15 | 1.17 |

光電変換効率は、比較例1の0m位置のものを1に規格化した値

【図面の簡単な説明】

【図1】本発明の半導体素子を含む光起電力素子の一例を示す模式的な断面図

【図2】本発明の半導体素子及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図

【図3】本発明の半導体素子を含む半導体層の一例を示す模式的な断面図

【図4】本発明の半導体素子及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図

【図5】本発明の半導体素子を含む光起電力素子の一例を示す模式的な断面図

【図6】本発明の半導体素子及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図

【図7】本発明の半導体素子及び光起電力素子を製造する堆積膜形成装置の一例を示す模式的な断面図

【符号の説明】

101：基板

101-1：基体

101-2：金属層

101-3：第一の透明導電層

【0102】

【表5】

| | 基板位置 (m) | 光電変換効率 | 湿度試験 |
|------|-------------|--------|------|
| 実施例1 | 0 | 1 | 0.97 |
| 実施例1 | 500 | 1.01 | 0.96 |
| 実施例1 | 1000 | 0.99 | 0.98 |
| 実施例1 | 1500 | 1.02 | 0.97 |
| 実施例3 | 0 | 1.03 | 1.0 |
| 実施例3 | 500 | 1.04 | 1.0 |
| 実施例3 | 1000 | 1.05 | 1.0 |
| 実施例3 | 1500 | 1.04 | 1.0 |

基板位置は、帯状基板の、ボトムのセルを作り始めた位置を0mとし、作り終わりの位置を1500mとしたものの湿度試験は、(試験後の光電変換効率) / (試験前の光電変換効率) の値

【0103】

【表6】

| 酸素分圧 | 比較例1の0m位置 (製造装置内圧力) | 0.5Pa | 1.0Pa | 1.5Pa |
|--------|------------------------|-------|-------|-------|
| 光電変換効率 | 1 | 0.99 | 1.15 | 1.17 |

102：半導体層

102-1、102-4：第一の導電型を示す半導体層

102-1A、102-4A：アモルファスn型半導体層

102-2、102-5：i型半導体層

102-2A：微結晶i型半導体層

102-3、102-6：第二の導電型を示す半導体層

102-3A、102-6A：微結晶p型半導体層

102-5A：アモルファスi型半導体層

103：透明電極

104：集電電極

201、201-A、201-B、201-C：堆積膜形成装置

202：基板送り出し容器

203：基板巻き取り容器

204：導電性基板

211～216、211-A：半導体形成用真空容器

217：酸素雰囲気形成用真空容器

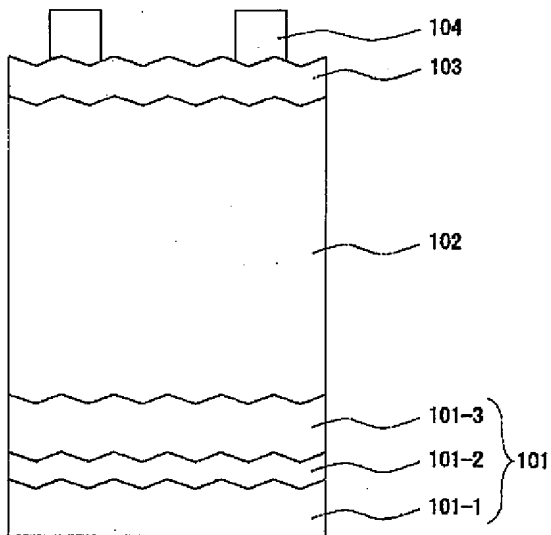
221～228：ガスゲート

231～237：ガス導入管

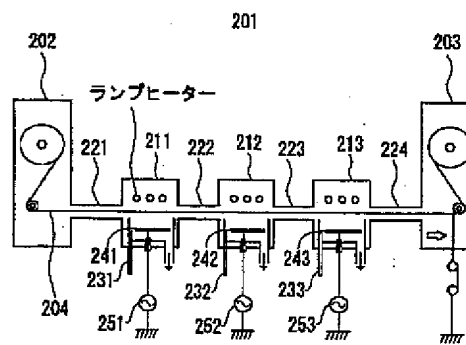
241～246：高周波導入部

251～256：高周波電源

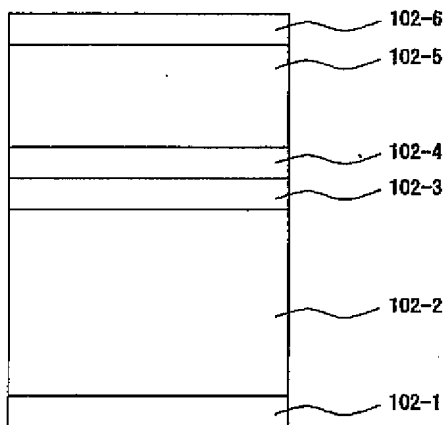
【図 1】



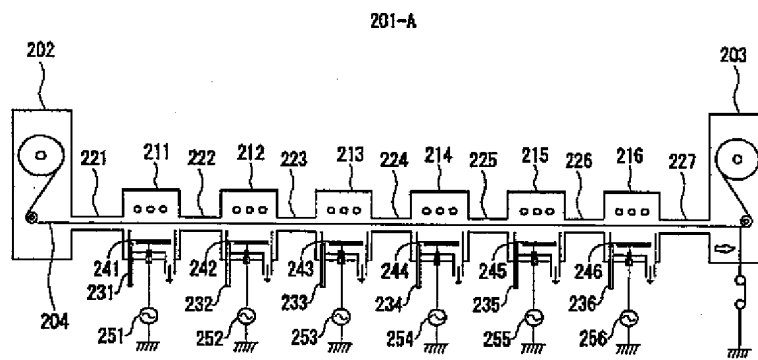
【図 2】



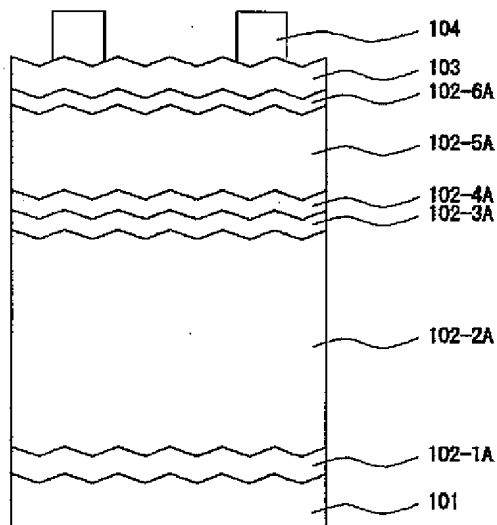
【図 3】



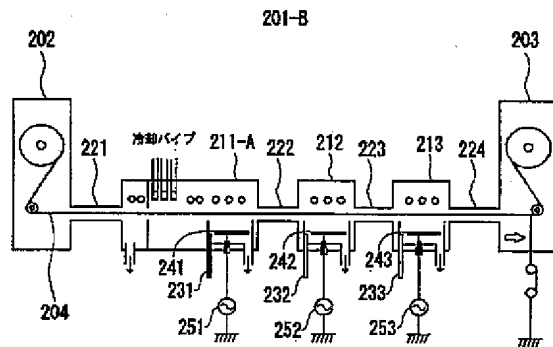
【図 4】



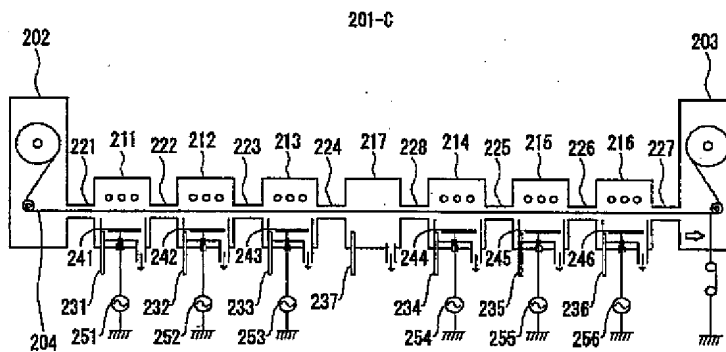
【図 5】



【図6】



【図7】



フロントページの続き

(72)発明者 幸田 勇蔵
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 酒井 明
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 松田 高一
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

Fターム(参考) 4K030 AA06 BA29 CA02 CA17 DA08
FA01 GA14 LA16
5F051 AA04 CA03 CA04 CA16 CA22
CB12 DA15 FA04 GA05 GA14